

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-053143

(43)Date of publication of application : 05.03.1993

(51)Int.Cl.

G02F 1/136  
H01L 27/12  
H01L 29/784

(21)Application number : 03-218584

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 29.08.1991

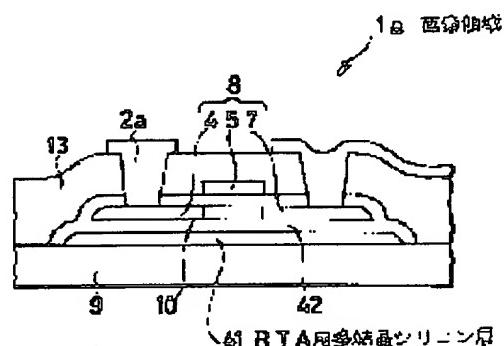
(72)Inventor : YUDASAKA KAZUO

## (54) LIQUID CRYSTAL DISPLAY PANEL AND PRODUCTION THEREOF

### (57)Abstract:

PURPOSE: To provide the liquid crystal display panel which can be improved in productivity and display quality by adopting RTA for an annealing stage and the process for production of this panel.

CONSTITUTION: A polycrystalline silicon layer 41 for the RTA is provided as a light absorption layer on the surface of a glass substrate 9. A polycrystalline silicon layer 10 is formed via a silicon oxide film 42 on the front surface side thereof. A source region 4 and a drain region 7 are formed by the phosphorus introduced with the gate electrode 5 as a mask. The annealing for activation after the introduction of the phosphorus is executed by the irradiation with light energy (RTA) from the front surface side of an interlayer insulating film 13. This light energy is absorbed by the polycrystalline silicon layer 41 for RTA, by which the temp. of the polycrystalline silicon layer 10 is increased.



### LEGAL STATUS

[Date of request for examination] 18.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3082332

[Date of registration] 30.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2000 Japan Patent Office

(10)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-53143

(43)公開日 平成5年(1993)3月5日

(51)Int.Cl <sup>8</sup> G 0 2 F 1/133 H 0 1 L 27/12 29/784	識別記号 500 A	序内整理番号 9018-2K 8728-4M	F I	技術表示箇所 H 0 1 L 29/78 3 1 1 A
---	---------------	---------------------------	-----	---------------------------------

寄査請求 未請求 請求項の数11(全 8 頁)

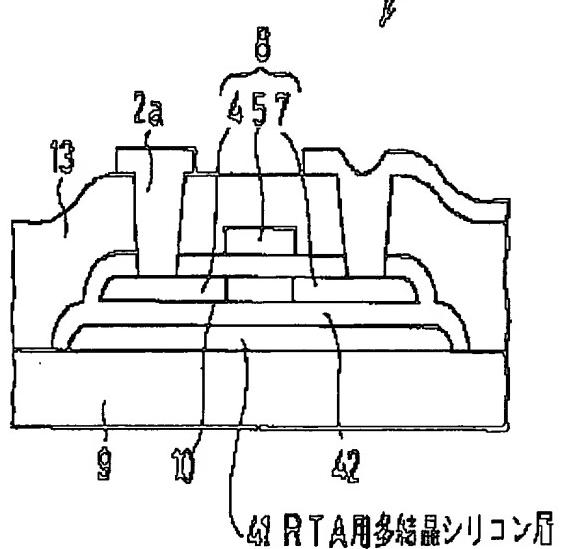
(21)出願番号 特願平3-218584	(71)出願人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日 平成3年(1991)8月29日	(72)発明者 矢田坂 一夫 長野県飯田市大和3丁目3番5号 セイコーエプソン株式会社内

(54)【発明の名称】 液晶表示パネル及びその製造方法

(57)【要約】

【目的】 アニール工程にRTAを採用することによって、生産性および表示の品質を向上可能な液晶表示パネルおよびその製造方法を実現すること。

【構成】 ガラス基板9の表面上には、RTA用多結晶シリコン層41が光吸収層として設けられている。その表面側にシリコン酸化膜42を介して多結晶シリコン層10が形成されており、ゲート電極5をマスクとして導入されたリンによってソース領域4およびドレイン領域7が形成されている。リンの導入後の活性化などのためのアニールは、層間絶縁膜13の表面側からの光エネルギーの照射(RTA)によって行われる。この光エネルギーをRTA用多結晶シリコン層41が吸収することによって、多結晶シリコン層10の温度が高められる。



## 【特許請求の範囲】

【請求項1】 マトリックスアレイが形成された透明基板の表面側には、前記マトリックスアレイに加えて、その所定領域に、RTA用ランプから照射される光エネルギーを吸収可能な光吸收層を備えることを特徴とする液晶表示パネル。

【請求項2】 請求項1において、前記光吸收層は、画素領域の薄膜トランジスタのソース領域およびドレイン領域が形成されたシリコン層の上方および下方の少なくとも一方の位置に、前記シリコン層の形成領域を含むように形成されていることを特徴とする液晶表示パネル。

【請求項3】 請求項2において、前記光吸收層は、前記透明基板と前記シリコン層との間に形成され、このシリコン層との間に絶縁層を備える不純物導入型のRTA用シリコン層であることを特徴とする液晶表示パネル。

【請求項4】 請求項1において、前記透明基板上には前記マトリックスアレイの駆動部も形成されており、前記光吸收層は前記駆動部の回路パターン密度が低い領域に設けられていることを特徴とする液晶表示パネル。

【請求項5】 マトリックスアレイを形成すべき透明基板表面側のシリコン層に対するアニール工程として、RTA用ランプからの光エネルギーを吸収可能な光吸收層を前記透明基板の表面側の所定領域に設けた状態でRTA工程を行うことを特徴とする液晶表示パネルの製造方法。

【請求項6】 請求項5において、前記RTA工程は、画素領域の薄膜トランジスタのソース領域およびドレイン領域を形成すべき不純物を導入したシリコン層に対するアニール工程であり、この工程は、前記光吸收層を前記シリコン層の上方および下方の少なくとも一方の位置にその形成領域を含むように設けた状態で行われることを特徴とする液晶表示パネルの製造方法。

【請求項7】 請求項6において、前記光吸收層は、前記透明基板と前記シリコン層との間に形成され、このシリコン層との間に絶縁層を備える不純物導入型のRTA用シリコン層であることを特徴とする液晶表示パネルの製造方法。

【請求項8】 請求項6において、前記光吸收層は、前記薄膜トランジスタの表面側に堆積された層間絶縁膜の表面側に形成された不純物導入型のRTA用シリコン層であることを特徴とする液晶表示パネルの製造方法。

【請求項9】 請求項8において、前記RTA用シリコン層を、前記RTA工程の後に除去することを特徴する液晶表示パネルの製造方法。

【請求項10】 請求項5において、前記透明基板上には前記マトリックスアレイの駆動部も形成されており、前記RTA工程は、前記駆動部の薄膜トランジスタのソース領域およびドレイン領域を形成すべき不純物を導入したシリコン層に対するアニール工程であり、この工程は、前記光吸收層を前記駆動部の回路パターン密度が低

い領域に設けた状態で行われることを特徴とする液晶表示パネルの製造方法。

【請求項11】 請求項10において、前記光吸收層は、前記駆動部の回路パターンと同時に形成されたダミーレイドパターンであることを特徴とする液晶表示パネルの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は液晶表示パネルおよびその製造方法に関し、特に、そのマトリックスアレイに薄膜トランジスタを形成するためのアニール技術に関する。

## 【0002】

【従来の技術】液晶表示パネルが本格的な量産期に移行しつつある状況下において、その表示性能の向上に加えて、生産性の向上も一層追求されており、それらに応えるための改善対象とされている代表的なものとして、マトリックスアレイの製造工程におけるアニール工程がある。このアニール工程は、例えば、マトリックスアレイの各画素領域にTFT（薄膜トランジスタ）を形成するときに、多結晶シリコン層にリンなどの不純物を導入した後、不純物の活性化や多結晶シリコン層の修復の目的などに行われる。すなわち、多結晶シリコン層に注入されたイオンは停止するまで原子核などと衝突を繰り返し、多結晶シリコンの原子配列を乱し、それを非晶質化させてしまう。また、注入されたイオンは、そのままでは所定の格子点を占めていない。そこで、ガラス基板を、温度を約600℃の雰囲気の炉内で約20時間アニールして、非晶質状態になったシリコン層を再結晶化させる修復処理を行うと共に、注入した不純物イオンを所定の格子点に位置させる活性化処理を行って、所定の特性を備えたTFTを形成する。

## 【0003】

【発明が解決しようとする課題】しかしながら、アニール工程に炉アニールを用いる従来の製造方法においては、以下の問題点を有する。

【0004】 アニール工程に約20時間も要する製造方法では、スループットが悪すぎて、生産性が向上しない。そこで、温度を約1000℃まで高めた状態で約20分間の高温アニールを採用する場合もあるが、下述のとおり、不純物の横拡散に起因する弊害が顕著になるなど、新たな問題が発生する。

【0005】 炉内でのアニールでは導入した不純物に横拡散が生じるため、TFTのゲート電極とソース領域およびドレイン領域のオーバーラップが大きくなってしまい、短チャネル化に限界がある。従って、画素数を増やして表示の高精細化を図ることへの障害になっている。また、TFTのゲートードレイン間およびゲートーソース間の寄生容量の低減にも限界があり、画素数を増やした場合に走査速度に表示動作が追従できないという

問題が発生する。

【0006】走査回路などのTFTの短チャネル化が実現できないと、表示動作の追従が問題となって、画面の大型化および高精細化への障壁にもなってしまう。

【0007】かかる問題点を解消するため、エキシマレーザなどを利用して、レーザアニール工程を行う方法も検討されている。しかしながら、この方法では、多結晶シリコンにレーザビームを繰り返し照射するものであるため、照射領域毎に境界部が発生し、TFT特性がばらつくという問題を有する。

【0008】そこで、本発明者は、アニール工程にRTA(Rapid Thermal annealing)を採用することを提案する。このRTAにおいては、高レベルの光エネルギーを照射してアニールを行うため、炉アニールの問題点を解消できるのに加えて、レーザアニールにおけるステップブリピートに起因するTFT特性のはらつきの問題も解消できる。しかしながら、この方法に関しては、液晶表示パネルの基板のように基板自身が透明であって、かつ、透明領域が広く分布しているものについての実績がなく、そのまま適用すれば、部分的にアニール不足や過熱状態が生じてしまう。

【0009】以上の問題点に鑑みて、本発明の課題は、上記のRTAを透明基板のアニール工程に採用するという提案を具現化して、生産性および表示品質の向上を可能とする液晶表示パネルおよびその製造方法を提供することにある。

#### 【0010】

【課題を解決するための手段】上記課題を解決するために、本発明において講じた手段は、液晶表示パネルのマトリックスアレイを製造するために形成した透明基板の表面側のシリコン層に対するアニール工程として、透明基板の表面側の所定領域に光吸収層を設けた状態で、この基板に向けて光エネルギーを照射してアニール処理を行うRTA工程を行うことである。ここで、所定領域とは、アニールすべき部位に対して光エネルギーから変換した熱を充分に伝達可能な領域を意味する。従って、全表面に形成してもよい。また、透明基板の表面側とは、透明基板に直接設ける構造の他、透明基板に形成された他の層の表面上に形成してもよいことを意味する。さらに、透明基板に対する光エネルギーの照射方向は、基板の表面側および裏面側のいずれの方向からでもよい。

【0011】このRTA工程としては、例えば、透明基板の表面側に被着したシリコン層などに対し、画素領域の薄膜トランジスタのソース領域およびドレイン領域を形成すべき不純物を導入した後に行うアニール工程であり、この工程を、光吸収層を透明基板の表面側におけるシリコン層の上方位置または下方位置に、その形成領域を含むように設けた状態で行う。

【0012】ここで、光吸収層としては、透明基板とシリコン層との間に形成され、このシリコン層との間に絶

縁層を備える不純物導入型のRTA用シリコン層、または、薄膜トランジスタの表面側に形成された層間絶縁膜の表面上に形成された不純物導入型のRTA用シリコン層などを利用することができる。ここで、この光吸収層としてのシリコンが最表層に形成された状態でRTAが行われた場合には、RTA工程の後に、このRTA用シリコン層を除去してもよい。

【0013】また、マトリックスアレイの駆動部も同一透明基板上に形成されている場合には、RTA工程を、駆動部のシリコン層に薄膜トランジスタのソース領域およびドレイン領域を形成すべき不純物を導入した後に行うアニール工程に適用してもよい。この駆動部では、配線パターンなどによって、光エネルギーを吸収しやすい状態になっているが、回路パターン密度が低い領域も存在している。この回路パターン密度が低い領域に対して、光吸収層を駆動部の回路パターンと同時に形成されたダミー回路パターンなどとして設けた状態で、RTAを行う。

#### 【0014】

【作用】本発明においては、アニール工程としてRTA工程を採用すると共に、このRTA工程を、透明基板の所定領域に光吸収層を設けた状態で行う。従って、基板自身が透明であって、被アニール領域などに透明領域が分布している場合でも、光エネルギーは光吸収層によって熱に変換された後、そこから伝達された熱は、被アニール領域の温度を所定の温度まで高める。従って、透明な領域に対してもアニール処理を行うことができるなど、アニール条件の制御が可能になる。それ故、RTAの利点である短時間でのアニールを液晶表示パネルの製造に活用でき、その生産性を高めることができる。また、RTAによるアニールにおいては、不純物の横拡散も小さいという利点もある。従って、多結晶シリコン層などに形成されたTFTにおいて、ゲート電極とソース領域およびドレイン領域とのオーバーラップも最小限に止めることもできる。それ故、TFTの短チャネル化や寄生容量の低減も実現でき、画素数を増やして画面の大型化を図るなど、液晶表示パネルの表示品質の向上も実現できる。

#### 【0015】

【実施例】次に、本発明の実施例について、添付図面を参照して説明する。

【0016】(実施例1)図1は本発明の実施例1に係る液晶表示パネルのマトリックスアレイの一部を示す平面図、図2はそのA-A線における断面図である。

【0017】この実施例は、図1に示すように、垂直方向の信号線2a, 2b・・・と、水平方向のゲート線3a, 3b・・・とか格子状に配線され、それらの間に各画素領域1a, 1b・・・が形成されている。

【0018】以下に画素領域1aを例にとって、その構造を説明する。この画素領域1aにおいては、信号線2

aが導電接続するソース領域4、ゲート線3 aが導電接続するゲート電極5、および画素電極6が導電接続するドレイン領域7によって、TFT 8が形成されている。ここで、画素電極6は、ITOからなる透明電極であって、画素領域1 aのはば全面にわたって形成されている。

【0019】このTFT 8の断面構造は、図2に示すように、液晶表示パネル全体を支持する透明なガラス基板9の表面側に厚さが約400 Åの多結晶シリコン層10が形成されており、この多結晶シリコン層10には、真性の多結晶シリコン領域であるチャネル領域11を除いて、n型の不純物としてのリンが導入されて、ソース領域4およびドレイン領域7が形成されている。ここで、リンの導入は、多結晶シリコン層10の表面側に形成された厚さが約1200 Åのゲート酸化膜12の上のゲート電極5をマスクとしたイオン注入により行われる。本例においては、後述するとおり、このイオン注入によって非晶質化した多結晶シリコン層10の再結晶化および不純物の活性化に、波長の短い光エネルギーを利用したランプアニール(RTA)工程が採用されている。そのため、不純物は格子欠陥に沿って横方向へ拡散しないため、ゲート電極5とソース領域4およびドレイン領域7とのオーバーラップが小さく、それらの間における寄生容量が小さくなっている。

【0020】なお、TFT 8の表面側にはシリコン酸化膜からなる厚さが約6000 Åの層間絶縁膜13が堆積されており、それには第1の接続孔13 aと第2の接続孔13 bとが開口されている。そのうちの第1の接続孔13 aを介して、信号線2 aがソース領域4に導電接続している。一方の第2の接続孔13 bを介しては、画素電極6がドレイン領域7に導電接続している。

【0021】かかる構造の液晶表示パネルのマトリックスアレイの製造方法を、図3を参照して説明する。

【0022】図3は、液晶パネル表示の製造方法の一部を示す工程断面図である。

【0023】まず、図3(a)に示すように、ガラス基板9の表面上にCVD法により、厚さが約1000 Åの真性の多結晶シリコン層10 aを堆積させた後に、熱酸化を施して、厚さが約1200 Åのゲート酸化膜12を形成する。これにより多結晶シリコン層10 aの厚さは、約400 Åとなる。

【0024】次に、これらの表面側にリンドープの多結晶シリコン層をCVD法により形成した後、図3(b)に示すように、パターニングしてゲート電極5を残す。この状態で、ゲート電極5をマスクとしてイオン注入し、ソース領域4およびドレイン領域7をセルフアラインとなるように形成する。ここで、ゲート電極5の直下には真性の多結晶シリコン部分が残され、これがチャネル領域11となる。この工程直後においては、イオンの注入によって、多結晶シリコン層10は局部的に非晶質

化し、また不純物も所定の結晶格子に位置していないため、このままで、RTAは満足な特性を示さない。

【0025】次に、図3(c)に示すように、これらの表面側に、CVD法により厚さが約6000 Åの層間絶縁膜13を堆積させ、さらに、その表面全体に厚さが約3000 ÅのボロンドープのRTA用多結晶シリコン層14(光吸収層)をCVD法により形成する。ここで、RTA用多結晶シリコン層としては、リンをドープした多結晶シリコン層でもよいが、本例においては、ボロンをドープしたp型の多結晶シリコンを用いた。

【0026】次に、この状態で、RTA装置を用いて、RTA用多結晶シリコン層14の表面側からランプアニールを施す。

【0027】RTA装置は、短波長用ランプと、そこから照射された光を試料に向けて反射させるリフレクターと、このアーナー室と試料室とを隔離する石英窓と、試料の温度を測定するパイロメータとを有している。また、各部位を冷却するための水冷式の冷却機構なども備えている。本例においては、アーナーする対象がシリコンであるため、光エネルギーを発するランプとしては、光強度のピークが約0.4~約0.5 μmの波長である短波長用ランプを使用している。ここで、光強度のピークが0.8~1.0 μmの波長である長波長用ランプを使用した場合には、マトリックスアレイを加熱する効果が低いが、シリコンに条件を合わせると他の部位が過熱状態になりやすいなどの問題がある。なお、RTA装置においては、パイロメータでの温度測定結果がフィードバックされて、短波長用ランプに供給するパワーが制御されている。従って、アーナー工程において、精度の高い温度制御がなされる。

【0028】かかるRTA装置を使用したアーナーにおいては、照射された光エネルギーをRTA用多結晶シリコン層14が吸収して熱に変換する。この熱が伝達されて、多結晶シリコン層10が所定の温度にまで達する。ここで、行われるアーナー処理は短時間で行われるため、スループットが良好であるのに加えて、注入された不純物の横拡散が小さい。従って、このアーナーによって、多結晶シリコン層10の非晶質化した部分が再結晶化し、また、不純物の活性化が完了して、TFT 8の特性が所定のレベルにまで達した後において、ゲート電極5とソース領域4およびドレイン領域7のオーバーラップが小さい。

【0029】かかる後に、図3(d)に示すように、RTA用多結晶シリコン層14が除去された後、層間絶縁膜13には、第1の接続孔13 aおよび第2の接続孔13 bが開口され、図2に示すように、ITOのスパッタ形成およびパターニングにより画素電極6が形成された後に、アルミニウムのスパッタ形成およびパターニングにより信号線2 aが形成される。

【0030】以上のとおり、本例においては、ガラス基

板9の表面側にRTA用多結晶シリコン層14を設けることによって、透明なガラス基板9であっても、その全体の熱吸収度を高めることによって、マトリックスアレイの局部のみが高温になることを防止している。これにより、多結晶シリコン10の局部などが溶融することなく、アニールできる。しかも、アニール時間を短縮でき、スループットが高いので、生産性の向上を実現できる。さらに、不純物の横拡散が抑制されて、ゲート電極5とソース領域4およびドレイン領域7のオーバーラップが小さく、寄生容量を低減できる。従って、液晶表示パネルが大型化されて、または画面が高精細化され、画素数が増えた場合であっても、走査速度に充分対応した表示動作が可能であり、表示の品位を向上することができる。また、TFT8の短チャネル化も実現でき、上記の液晶表示パネルの大型化および高精細化に対応することができる。

【0031】さらに、光吸収層としてボロンドープのRTA用多結晶シリコン層14を用いた場合には、光吸収層は導電性があるため、短絡部分が発生しないようにTFT8とは絶縁分離する必要がある。しかし、本例においては、RTA用多結晶シリコン層14を絶縁膜13の上に形成した状態でRTAを行うことにより、RTAの後にはRTA用多結晶シリコン層14を除去できるようになっている。

【0032】(実施例2) 次に、本発明の実施例2に係る液晶表示パネルとして、ガラス基板の表面上に光吸収層を直接設けたものについて、図4を参照して説明する。なお、この図において、光吸収層周囲を除いて、他の構成は実施例1の液晶表示パネルと同様であるので、対応する部位については同符号を付してある。

【0033】図4に示す画素領域1aにおいて、透明なガラス基板9の表面側に、光吸収層としてのボロンドープのRTA用多結晶シリコン層41が形成されており、その表面には熱酸化により形成されたシリコン酸化膜42(絶縁層)が形成されている。本例においては、このシリコン酸化膜42の表面上に、多結晶シリコン層10が形成されている。この多結晶シリコン層10には、真性の多結晶シリコン領域であるチャネル領域11を除いて、n型の不純物としてのリンが導入されて、ソース領域4およびドレイン領域7が形成されている。本例においても、リンの導入は、多結晶シリコン層10の表面側に形成されたゲート酸化膜12の上のゲート電極5をマスクとしたイオン注入により行われる。また、後述するとおり、このイオン注入によって非晶質化した多結晶シリコン層10の再結晶化および不純物の活性化も、実施例1と同様にRTAにより行われたものである。このため、ゲート電極5とソース領域4およびドレイン領域7とのオーバーラップが小さくなっている。なお、TFT8の表面側には、シリコン酸化膜からなる層間絶縁膜13が堆積されており、その第1の接続孔13aと第2の

接続孔13bとを介して、信号線2aおよび画素電極6が、それぞれ、ソース領域4およびドレイン領域7に導電接続している。

【0034】かかる構造の液晶表示パネルのマトリックスアレイの製造方法を、図5を参照して説明する。

【0035】図5は、液晶パネル表示の製造方法の一部を示す工程断面図である。

【0036】まず、図5(a)に示すように、ガラス基板9の表面上にCVD法によりボロンドープの多結晶シリコン層を形成した後に、パターニングしてRTA用多結晶シリコン層41を形成し、その表面に熱酸化法、CVD法などによりシリコン酸化膜42を形成する。ここで、RTA用多結晶シリコン層41はTFT8の形成予定領域に対応する領域に形成されている。

【0037】次に、図5(b)に示すように、真性の多結晶シリコン層10aを堆積させた後に、熱酸化を施して、ゲート酸化膜12を形成する。

【0038】次に、図5(c)に示すように、これらの表面側にリンドープの多結晶シリコン層をCVD法により形成した後、パターニングしてゲート電極5を残す。この状態で、ゲート電極5をマスクとしてリンをイオン注入して、ソース領域4およびドレイン領域7を導電化する。ここで、ゲート電極5の直下の真性の多結晶シリコン部分がチャネル領域11となる。この工程直後においては、多結晶シリコン層10は局部的に非晶質化し、また不純物も活性化されていないため、満足な特性を示すTFTを構成していない。

【0039】次に、図5(d)に示すように、これらの表面側に、CVD法により層間絶縁膜13を堆積した状態で、実施例1と同様に、RTA装置を用いて、層間絶縁膜13の表面側からRTAを施す。この工程においては、RTA用多結晶シリコン層41が光エネルギーを吸収して発熱し、この熱によって多結晶シリコン層10がアニールされる。

【0040】しかる後に、図4に示すように、層間絶縁膜13に、第1の接続孔13aおよび第2の接続孔13bを開口し、これらの接続孔13a, 13bを介して、信号線2aおよび画素電極6を、それぞれソース領域4およびドレイン領域7に導電接続させる。

【0041】以上のとおり、本例においては、ガラス基板9全体のうちの、RTAを施す多結晶シリコン10aの形成領域を含むようにRTA用多結晶シリコン41を設ける。これにより、透明なガラス基板9であっても、必要な領域の熱吸収度を高めることによってRTAを可能としている。従って、RTAの採用をすることにより、スループットを高めて生産性の向上を実現すると共に、不純物の横拡散を抑制して寄生容量を低減し、表示の品位を高めている。また、短チャネル化を実現することによって、画面の大型化および高精細化も可能としている。

【0042】(実施例3)以上の実施例1および実施例2は、いずれもマトリックスアレイの画素領域に形成するTFTに対するアニール工程であったが、マトリックスアレイの駆動部が同一の透明基板10に形成されている場合には、この駆動部の半導体素子に対するアニールに応用してもよい。

【0043】通常、駆動部には回路パターンが形成されているため、光吸収効率が高いので、この領域での不純物の活性化および多結晶シリコン層の再結晶化のためのRTAは、光吸収層を設けなくとも行うことができる。それでも、駆動部においては、図6に示すように回路パターンの密度の高低があり、アニール度がばらつく。

【0044】図6は駆動部の回路パターンの概念図であり、図6(a)に一点鎖線で示す領域B、または、図6(b)に一点鎖線で示す領域Cのように、回路パターン50が存在しない領域があつて、これらの領域の周囲は回路パターン50の密度が低い領域となっている。ここで、回路パターン50が高密度の領域では、RTAの光エネルギーが吸収されやすいが、回路パターン50が低密度の領域では、RTAの光エネルギーが吸収されにくく。このため、RTAを行うあたり、回路パターン50が高密度な領域にRTA条件を設定すると、回路パターン50が低密度の領域では、温度が所定の温度まで上昇せず、アニール不足になる。これに対し、回路パターン50が低密度の領域にRTA条件を設定すると、回路パターン50が高密度の領域では、過熱状態になって、例えば、多結晶シリコンに損傷や溶融などが発生してしまう。

【0045】そこで、本例においては、領域Bや領域Cに、光吸収層としてのダミー回路パターン51、52を設けておく。これにより、駆動部のパターン密度が均等化され、RTAを採用しても、駆動部全体が均一に温度上昇し、安定なアニールを行うことができる。ここで、ダミー回路パターン51、52は、この駆動部の回路パターン50と同時に形成されたものであり、別工程において形成されたものではない。従って、工程数を増加させることなく、RTAを採用可能な駆動部の構成とすることができる。その結果、画素領域および駆動部のいずれに対しても最適な条件でのRTAが可能になり、各領域のTFTに対して、寄生容量の低減および短チャネル化が実現でき、走査速度を高めることができるので、画面が大型化や高精細化されて画素数が増えても、表示動作が追従する。

【0046】以上のとおり、実施例1乃至実施例3のいずれにおいても、透明基板を使用しているために、そのままで安定したRTAを行えなかつたものを、ボロンドープなどの多結晶シリコン層やダミー回路パターンなどの光吸収層を利用することによって、安定したRTAを行うことができる。このため、短時間アニールの実現や不純物の横拡散を抑制することによって、生産性およ

び表示品質のいずれをも向上することができる。また、本例のように、光吸収層を利用してアニール条件を制御できるようにした場合には、画素領域と駆動部のように、透明部分が面積を大きく占める領域と、透明部分の面積が狭い領域とが、同一ガラス基板に形成されている場合であつても、各領域に対して同時にアニールしながら、しかも各領域の実質的なアニール条件を制御できる。従って、画素領域に対するRTAの条件を相対的に弱めることによって、この領域の結晶化を抑えて、この領域における漏れ電流を低減するなど、駆動部および画素領域に合致した特性のTFTを得ることもできる。なお、マトリックスアレイを構成する各部位の材質および形状などは、液晶表示パネルの用途、構造などに応じて、最適な条件に設定されるべき性質のものである。また、RTAをイオン注入後の不純物の活性化および多結晶シリコンの再結晶化の他にも、アニールが必要な工程であれば、いずれの工程にも適用できる。

【0047】なお、各層を構成するシリコン層としては、多結晶シリコン層の他に、アモルファスシリコン層を用いてもよい。

#### 【0048】

【発明の効果】以上のとおり、本発明においては、透明基板の表面側に形成したシリコン層に対するアニール工程として、透明基板表面側の所定領域に光吸収層を設けた状態で光エネルギーを照射するRTA工程を採用することを特徴としている。従って、本発明によれば、透明基板であつても、光吸収層によって効率よく光エネルギーを熱に変換して、所定領域の温度を高めることができ、安定したRTAを行うことができる。よって、RTAの短時間アニールであるという特徴を活かして、生産性を向上することができる。

【0049】例えば、画素領域の薄膜トランジスタを形成するためのシリコン層の形成領域に対応させて光吸収層を設けることにより、RTA工程を、画素領域に対するアニール工程に採用できるようにした場合には、RTAにおける不純物の横拡散が小さいという特徴を活かして、ゲート電極とソース領域およびドレイン領域とのオーバーラップを小さくすることができる。それ故、短チャネル化や寄生容量の低減などを実現でき、表示品質の向上を実現できる。

【0050】また、駆動部において、ダミー回路パターンなどの光吸収層をパターン密度が低い領域に形成した場合には、パターンの密度に係わらず、均一なアニールを実現できる。

【0051】さらに、画素領域および駆動部のいずれに対しても最適な条件でのRTAが可能になり、それらのTFTの短チャネル化が実現できる。これにより走査速度を高めることができるので、画面が大型化や高精細化されて画素数が増えても、表示動作が追従する。

#### 【図面の簡単な説明】

【図1】本発明の実施例1に係る液晶表示パネルのマトリックスアレイの一部を示す平面図である。

【図2】図1のA-A線における断面図である。

【図3】(a)乃至(d)のいずれも、本発明の実施例1に係る液晶表示パネルのマトリックスアレイの製造工程の一部を示す工程断面図である。

【図4】本発明の実施例2に係る液晶表示パネルのマトリックスアレイの一部を示す断面図である。

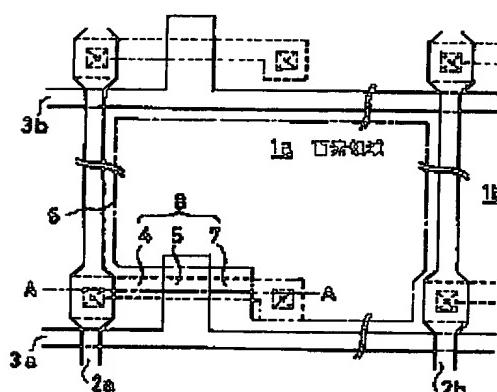
【図5】(a)乃至(d)のいずれも、本発明の実施例2に係る液晶表示パネルのマトリックスアレイの製造工程の一部を示す工程断面図である。

【図6】(a), (b)いずれも本発明の実施例3に係る液晶表示パネルの駆動部の回路パターンの概念平面図である。

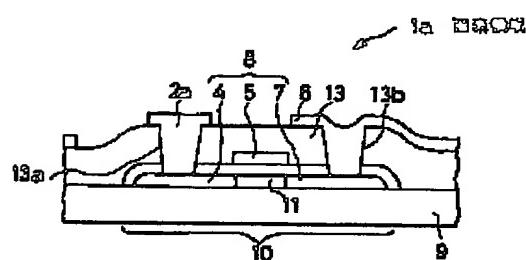
#### 【符号の説明】

- 1a, 1b . . . 画素領域
- 2a, 2b . . . 信号線
- 3a, 3b . . . ゲート線
- 4 . . . ソース領域
- 5 . . . ゲート電極
- 6 . . . 画素電極
- 7 . . . ドレイン領域
- 8 . . . TFT
- 10, 10a . . . 多結晶シリコン層
- 14, 41 . . . RTA用多結晶シリコン層(光吸収層)
- 50 . . . 回路パターン
- 51, 52 . . . ダミー回路パターン(光吸収層)

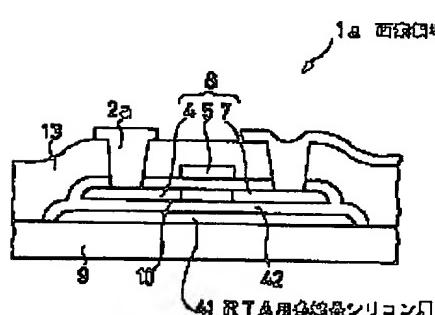
【図1】



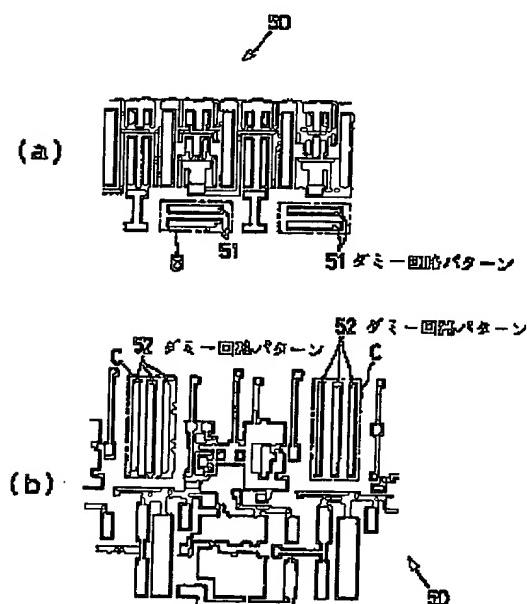
【図2】



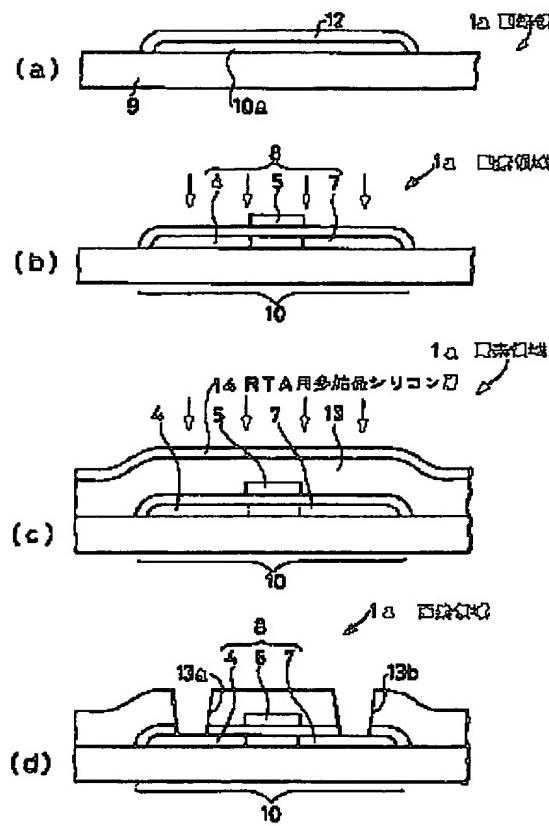
【図4】



【図6】



【図3】



【図5】

